

BEST AVAILABLE COPY

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-057369

(43)Date of publication of application : 25.02.1992

(51)Int.Cl. H01L 29/788
H01L 27/115
H01L 29/792

(21)Application number : 02-166913

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 27.06.1990

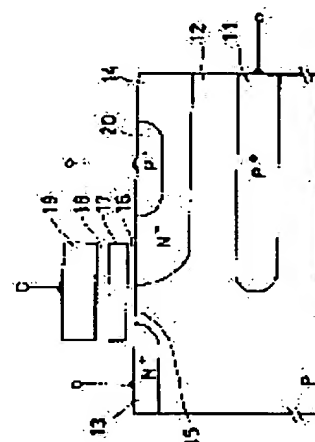
(72)Inventor : MATSUKAWA HISAHIRO
MIYAMOTO JUNICHI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To make the high speed reading-out feasible for acturizing the high speed EPROM, high speed EEPROM, etc., by a method wherein the channel current of a memory cell transistor is amplified by a vertical type bipolar transistor.

CONSTITUTION: A floating gate 17 is arranged between a drain 14 and a source 13 provided on the surface of the first conductivity type semiconductor substrate 12 through the intermediary of a gate insulating film 16. Next, a laminated gate type non-volatile memory cell transistor whereon a control gate 19 is laminated on the floating gate 17 through the intermediary of an interlayer insulating film 18 as well as a vertical bipolar transistor using the semiconductor substrate 12 as a collector region while the drain 14 of the memory cell transistor as a base region on whose surface the first conductivity type emitter 20 is formed are provided. Through these procedures, the channel current of the non-volatile memory cell transistor can be amplified by the vertical bipolar transistor so that the bit line, etc., connected to the emitter 20 may be driven, thereby enabling the current driving capacity to be increased for making high speed readout feasible.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平4-57369

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)2月25日

H 01 L 29/788
27/115
29/792

7514-4M H 01 L 29/78 3 7 1
8831-4M 27/10 4 3 4

審査請求 未請求 請求項の数 5 (全5頁)

⑮ 発明の名称 半導体集積回路

⑯ 特 願 平2-166913

⑰ 出 願 平2(1990)6月27日

⑱ 発 明 者 松 川 尚 弘 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合
研究所内

⑲ 発 明 者 宮 本 順 一 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合
研究所内

⑳ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

㉑ 代 理 人 弁 理 士 鈴 江 武 彦 外3名

明 細 書

1. 発明の名称

半導体集積回路

2. 特許請求の範囲

(1) 第1導電型の半導体基板の表面に選択的に半導体基板とは逆の第2導電型の不純物領域からなるドレインおよびソースが設けられ、このドレイン・ソース間の半導体基板上にゲート絶縁膜を介して浮遊ゲートが設けられ、この浮遊ゲート上に層間絶縁膜を介して制御ゲートが積層される積層ゲート型不揮発性メモリセルトランジスタと、前記半導体基板をコレクタ領域とし、上記メモリセルトランジスタのドレインをベース領域とし、このベース領域内の表面に第1導電型のエミッタが形成された縦型バイポーラトランジスタとを具備することを特徴とする半導体集積回路。

(2) 請求項1記載の半導体集積回路において、前記半導体基板、ソース、ドレインの少なくとも1つと前記制御ゲートの間に高電圧を印加して半導体基板側から電荷を前記浮遊ゲートにトンネル

注入することにより蓄込みを行う電圧供給回路を具備することを特徴とする半導体集積回路。

(3) 請求項1記載の半導体集積回路において、前記制御ゲートに第1電圧、前記ソースに上記第1電圧と同極性の第2電圧を印加し、前記エミッタには上記第1電圧・第2電圧とは逆極性で前記エミッタとドレインの間の逆方向接合破壊電圧近傍の第3電圧を印加し、チャネル電流を流すことにより発生するチャネルホットキャリアを前記浮遊ゲートに注入することにより蓄込みを行う電圧供給回路を具備することを特徴とする半導体集積回路。

(4) 請求項1記載の半導体集積回路において、前記エミッタとドレインとの間の逆方向接合破壊電圧がほぼ6V以下になるように前記ドレインの濃度を設定してなることを特徴とする半導体集積回路。

(5) 請求項4記載の半導体集積回路において、前記制御ゲートに第4電圧、前記ソースに上記第4電圧と同極性の第5電圧を印加し、前記エミッ

タを接地し、チャネル電流を流すことにより発生するチャネルホットキャリアを前記浮遊ゲートに注入することにより書き込みを行う電圧供給回路を具備することを特徴とする半導体集積回路。

3. 発明の詳細な説明

〔発明の目的〕

（産業上の利用分野）

本発明は、不揮発性半導体メモリなどの半導体集積回路に係り、特に高速読出し可能な不揮発性メモリセルおよびそれを駆動するための電圧供給回路に関する。

（従来の技術）

従来、浮遊ゲートおよび制御ゲートを有する積層ゲート型不揮発性メモリセルトランジスタを用いた不揮発性半導体記憶装置としては、EEPROM（電氣的消去・再書き込み可能な読み出し専用メモリ）やEPROM（紫外線消去・再書き込み可能な読み出し専用メモリ）が広く用いられている。

しかし、従来の浮遊ゲートおよび制御ゲートを

有する積層ゲート型不揮発性メモリセルトランジスタは、通常のMOS（絶縁ゲート型）トランジスタよりも閾値電圧が高く、電流駆動能力に劣り、読出しを高速化するのが難しいという問題がある。

（発明が解決しようとする課題）

上記したように従来の積層ゲート型不揮発性メモリセルトランジスタは、電流駆動能力に劣り、読出しを高速化するのが難しいという問題がある。

本発明は、上記問題点を解決すべくなされたもので、その目的は、電流駆動能力に優れ、高速読出しが可能な不揮発性メモリセルを有する半導体集積回路を提供するものである。

〔発明の構成〕

（課題を解決するための手段）

本発明の半導体集積回路は、第1導電型の半導体基板の表面に選択的に半導体基板とは逆の第2導電型の不純物領域からなるドレイン・ソースが設けられ、このドレイン・ソース間の半導体基板上にゲート絶縁膜を介して浮遊ゲートが設けられ、この浮遊ゲート上に層間絶縁膜を介して制御ゲ-

ートが積層されてなる積層ゲート型不揮発性メモリセルトランジスタと、前記半導体基板をコレクタ領域とし、上記メモリセルトランジスタのドレインをベース領域とし、このベース領域内の表面に第1導電型のエミッタが形成された縦型バイポーラトランジスタとを具備することを特徴とする。

（作用）

上記不揮発性メモリセルトランジスタからの読み出しに際して、不揮発性メモリセルトランジスタのチャネル電流が縦型バイポーラトランジスタのベース電流となって縦型バイポーラトランジスタにより増幅され、この増幅された電流により縦型バイポーラトランジスタのエミッタに接続されるビット線などを駆動することが可能になる。

従って、従来の浮遊ゲートおよび制御ゲートを有する積層ゲート型不揮発性メモリセルトランジスタに比べて飛躍的に電流駆動能力が向上し、高速読出しが可能になる。また、エミッタをメモリセルトランジスタのドレイン中に作り込むので、

セル面積の増大は小さく抑えられる。

上記不揮発性メモリセルトランジスタへの書き込みに際して、半導体基板側から電荷を浮遊ゲートにトンネル注入することにより行う場合は、基板、ソース、ドレインの少なくとも1つと制御ゲートの間に高電圧を印加すればよい。

また、上記不揮発性メモリセルトランジスタへの書き込みに際して、チャネルホットキャリアを浮遊ゲートに注入することにより行う場合は、制御ゲートに第1電圧、ソースに第2電圧を印加し、エミッタには上記第1電圧・第2電圧と逆極性でエミッタ・ドレイン間の逆方向接合破壊電圧近傍の第3電圧を印加し、チャネル電流を流すことにより発生するチャネルホットキャリアを浮遊ゲートに注入する。この場合、前記ドレイン・エミッタ間の逆方向接合破壊電圧がほぼ6V以下になるようにドレインの傾度を設定すれば、制御ゲートに第1電圧、ソースに第2電圧を印加し、エミッタは接地して書き込みを行うことが可能になる。

(実施例)

以下、図面を参照して本発明の一実施例を詳細に説明する。

第1図は、不揮発性半導体記憶装置のメモリセルアレイに用いられている不揮発性メモリセルの断面構造の第1実施例を示している。第1図において、 P^+ 埋込み層11を有する $\langle 100 \rangle$ 面、 5Ω のP型半導体基板12の表面には、 $1 \times 10^{20}/\text{cm}^3$ の濃度で深さ $0.2\mu\text{m}$ の N^+ 型ソース13および $1 \times 10^{17}/\text{cm}^3$ の濃度で深さ $0.5\mu\text{m}$ の深い N^- 型ドレイン14が選択的に形成されている。上記ソース13とドレイン14とに挟まれた長さ $0.6\mu\text{m}$ 、幅 $0.9\mu\text{m}$ のチャネル領域15上には、厚さ 10nm の第1ゲート酸化膜16を介してポリシリコンからなる厚さ 100nm の浮遊ゲート17、厚さ 20nm の第2ゲート酸化膜18、ポリシリコンからなる厚さ 400nm の制御ゲート19が積層されている。以上の構成により、積層ゲート型不揮発性メモリセルトランジスタが形成されている。

となって縦型バイポーラートランジスタにより約10倍増幅され、この増幅された 1mA の電流により縦型バイポーラートランジスタのエミッタに接続されるビット線などを駆動することが可能になる。

従って、従来の浮遊ゲートおよび制御ゲートを有する積層ゲート型不揮発性メモリセルトランジスタに比べて飛躍的に電流駆動能力が向上し、高速読み出しが可能になる。また、エミッタ20をメモリセルトランジスタのドレイン14中に作り込むので、セル面積の増大は小さく抑えられる。

上記不揮発性メモリセルトランジスタへの書き込みの際には、半導体基板12、ソース13、ドレイン14の少なくとも1つと制御ゲート19の間に高電圧を印加し、半導体基板側から電荷を浮遊ゲート17にトンネル注入することにより行う。例えば、半導体基板12、ソース13、エミッタ20を接地し、制御ゲート19に 20V を印加することにより、ソース13から第1ゲート酸化膜16をトンネルして浮遊ゲート17に電子が注入

さらに、上記メモリセルトランジスタのドレイン14領域内の表面には、 $1 \times 10^{20}/\text{cm}^3$ の濃度で深さ $0.3\mu\text{m}$ の P^+ 型エミッタ20が形成されており、前記半導体基板12および P^+ 埋込み層11をコレクタ領域とし、上記メモリセルトランジスタのドレイン14をベース領域とし、上記エミッタ20領域を有する縦型バイポーラートランジスタが形成されている。

第2図は、第1図の不揮発性メモリセルの等価回路を示しており、その各部分には第1図中の対応する部分の番号を付している。

さらに、上記不揮発性メモリセルを駆動するための電圧供給回路が設けられており、以下、この電圧供給回路によるセル駆動方法を説明する。

まず、上記不揮発性メモリセルトランジスタからの読み出しの際には、ソース13に 0V 、エミッタ20に 2V 、制御ゲート19に 5V を印加することによりドレイン14は 1.4V になり、チャネル電流 $100\mu\text{A}$ が流れる。このチャネル電流が縦型バイポーラートランジスタのベース電流

される。なお、上記第1ゲート酸化膜16のうち、ソース13と浮遊ゲート17とが対向する部分以外を上記 10nm より厚く形成する場合にも、ソース13から第1ゲート酸化膜16をトンネルさせて浮遊ゲート17に電子を注入する動作が可能である。

次に、本発明の第2実施例に係る不揮発性メモリセルを説明する。この第2実施例の不揮発性メモリセルの等価回路は第2図と同様であり、その断面構造は第1図と同様であるが、第1実施例と比べて第1ゲート酸化膜の厚さが2倍(20nm)に形成され、半導体基板12と浮遊ゲート17の間の容量が半分になっているので、それに合わせて浮遊ゲート17と制御ゲート19の間の容量も半分にされている点が異なり、その他は第1実施例と同様である。

この第2実施例に係る不揮発性メモリセルに対する電圧供給回路による駆動方法は、読み出しについては前記第1実施例と同様である。これに対して、書き込みの際には、制御ゲート19に第1

電圧、ソース13に上記第1電圧と同極性の第2電圧を印加し、エミッタ20には上記第1電圧・第2電圧と逆極性でエミッタ・ドレイン間の逆方向接合破壊電圧近傍の第3電圧を印加し、チャネル電流を流すことにより発生するチャネルホットキャリアを浮遊ゲート19に注入することにより行う。例えば、制御ゲート19に12V、ソース13に6V、エミッタ20に-7Vを印加する。この場合、ドレイン14の濃度が前記したように $1 \times 10^{17}/\text{cm}^3$ であるので、エミッタ・ドレイン間の逆方向接合破壊電圧はほぼ7Vとなり、上記動作条件においてはドレイン14は0Vに固定され、エミッタ20から接合破壊電流がドレイン14を通してチャネル電流としてソース13に流れ、その際にソース近傍で発生したホットエレクトロンが浮遊ゲート17に注入される。

次に、本発明の第3実施例に係る不揮発性メモリセルを説明する。この第3実施例の不揮発性メモリセルの等価回路は第2図と同様であり、その断面構造は第1図と同様であるが、第2実施例と

比べて、ドレイン14の濃度が濃くされ(例えば $3 \times 10^{17}/\text{cm}^3$ になるように設定され)、エミッタ・ドレイン間の逆方向接合破壊電圧が6V以下(例えば3V)に下げられている点が異なり、その他は第2実施例と同様である。

この第3実施例に係る不揮発性メモリセルに対する電圧供給回路による駆動方法は、読み出しについては前記第1実施例、第2実施例と同様である。これに対して、書き込みに関しては、制御ゲート19に第4電圧、ソース13に上記第4電圧と同極性の第5電圧を印加し、エミッタ20は接地し、チャネル電流を流すことにより発生するチャネルホットキャリアを浮遊ゲート19に注入することにより行う。例えば、制御ゲート19に15V、ソース13に9V、エミッタ20に0Vを印加する。この場合、エミッタ20はエミッタ・ドレイン間の逆方向接合破壊電圧である3Vに固定され、エミッタ20から接合破壊電流がドレイン14を通してチャネル電流としてソース13に流れ、その際にソース近傍で発生したホットエレクト

ロンが浮遊ゲート17に注入される。

この第3実施例において、ドレイン14全体ではなく、ドレイン14の一部の濃度を濃くして、エミッタ・ドレイン間の一部分の逆方向接合破壊電圧を下げるだけでも有効である。

また、上記した第1実施例乃至第3実施例の不揮発性メモリセルは、エミッタ20をエミッタ用コンタクトホールと自己整合的に形成することにより、従来の不揮発性メモリセルトランジスタと殆んど同じ面積で作ることができる。

【発明の効果】

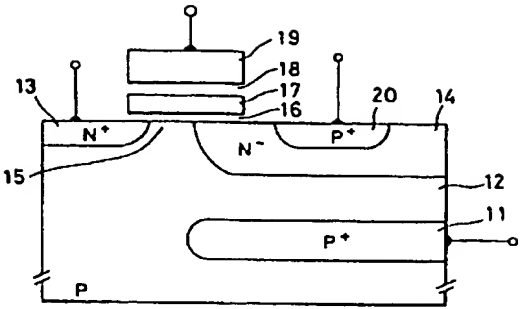
上述したように本発明によれば、従来の不揮発性メモリセルトランジスタの面積と殆んど同じセル面積で、読み出し時のセル電流を従来の数十倍にすることができ、高速読み出しが可能になる不揮発性メモリセルを有する半導体集積回路を提供でき、BI(バイポーラ)・CMOS(相補性絶縁ゲート型)の高速EPROM、高速EEPROMなどを実現することができる。

4. 図面の簡単な説明

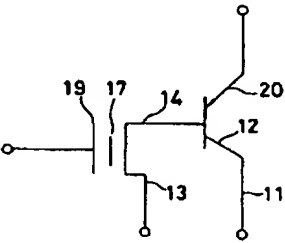
第1図は本発明に係る不揮発性半導体記憶装置における不揮発性メモリセルの断面構造の一例を示す図、第2図は第1図の不揮発性メモリセルの等価回路図である。

11…P⁺埋込み層、12…P型半導体基板、13…N⁺型ソース、14…N⁺型ドレイン、15…チャネル領域、16…第1ゲート酸化膜、17…浮遊ゲート、18…第2ゲート酸化膜、19…制御ゲート、20…P⁺型エミッタ。

出願人代理人 弁理士 鈴江武彦



第 1 図



第 2 図